



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 42 20 296 A 1**

⑤① Int. Cl.⁵:
H 04 B 1/12
H 04 B 15/02

②① Aktenzeichen: P 42 20 296.5
②② Anmeldetag: 20. 6. 92
④③ Offenlegungstag: 23. 12. 93

DE 42 20 296 A 1

⑦① Anmelder:
Blaupunkt-Werke GmbH, 31139 Hildesheim, DE

⑦② Erfinder:
Form, Thomas, 3300 Braunschweig, DE

⑤④ Schaltungsanordnung zur Unterdrückung schmalbandiger Störsignale

⑤⑦ Bei einer Schaltungsanordnung zur Unterdrückung schmalbandiger Störsignale beim Empfang von frequenzmodulierten Signalen, insbesondere in einem Autoradio, wird Kompensationssignal mit der Frequenz des jeweils im Zwischenfrequenzsignal enthaltenen Störsignals erzeugt, welches mit einer derartigen Amplitude und Phasenlage zum Zwischenfrequenzsignal addiert wird, daß das im Zwischenfrequenzsignal enthaltene Störsignal unterdrückt wird.

DE 42 20 296 A 1

Beschreibung

Die Erfindung geht aus von einer Schaltungsanordnung nach der Gattung des Hauptanspruchs.

Der Empfang von Rundfunksendungen, insbesondere mit Autoradios, kann durch Störsignale beeinflusst werden, welche von elektronischen Geräten mit Taktfrequenzen erzeugt werden, die oder deren Oberwellen im Bereich des jeweils zu empfangenen Frequenzbandes liegen. Zur Unterdrückung derartiger Störsignale ist eine Schaltungsanordnung bekanntgeworden (DE 38 40 999 A1), bei welcher das ZF-Signal über ein Kerbfilter mit einem schmalen Durchlaßbereich geleitet wird. Dabei wird die Frequenz des ZF-Signals derart umgesetzt, daß das Störsignal mit der Mittenfrequenz des Kerbfilters übereinstimmt.

Ein praktisch realisierbares Kerbfilter hat jedoch auch bei der Mittenfrequenz eine endliche Dämpfung, so daß bei der bekannten Schaltungsanordnung die Dämpfung des Störsignals begrenzt ist.

Aufgabe der erfindungsgemäßen Schaltungsanordnung ist es, eine gegenüber der bekannten Schaltungsanordnung stärkere Unterdrückung des Störsignals zu ermöglichen.

Die Schaltungsanordnung mit den kennzeichnenden Merkmalen des Hauptanspruchs hat den Vorteil, daß eine weitgehende Unterdrückung des Störsignals möglich ist, ohne das Nutzsignal zu beeinträchtigen.

Durch die in den Unteransprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen der im Hauptanspruch angegebenen Erfindung möglich.

Ausführungsbeispiele der Erfindung sind in der Zeichnung anhand mehrerer Figuren dargestellt und in der nachfolgenden Beschreibung näher erläutert. Es zeigt:

Fig. 1 ein Blockschaltbild eines ersten Ausführungsbeispiels,

Fig. 2 ein zweites Ausführungsbeispiel mit einer Regelung der Amplitude des Kompensationssignals,

Fig. 3 ein drittes Ausführungsbeispiel, bei dem sowohl die Phasenlage als auch die Amplitude des Kompensationssignals geregelt werden,

Fig. 4 ein viertes Ausführungsbeispiel, bei welchem ein zur Kompensation erzeugtes Störsignal in zwei Komponenten aufgespalten wird, deren Amplitude jeweils geregelt wird,

Fig. 5 ein erstes Ausführungsbeispiel zur Ermittlung der Frequenz des Kompensationssignals,

Fig. 6 ein Ausführungsbeispiel einer intelligenten Störfrequenzregelung,

Fig. 7 ein weiteres Ausführungsbeispiel einer intelligenten Störfrequenzregelung,

Fig. 8 Zeitdiagramme zur Erläuterung des Verhaltens der intelligenten Störfrequenzregelung nach den Fig. 4 und 5 und

Fig. 9 ein Zustandsdiagramm zur Erläuterung der intelligenten Störfrequenzregelung.

Gleiche Teile sind in den Figuren mit gleichen Bezugszeichen versehen.

Einem Eingang 1 der Schaltungsanordnung nach Fig. 1 ist das ZF-Signal bestehend auf dem Nutzsignal u_N und dem Störsignal u_S zuführbar. Es wird über einen Addierer 2 zum Ausgang 3 geleitet, an den in an sich bekannter Weise ein Demodulator angeschlossen werden kann. Dem Addierer 2 wird ferner ein Kompensationssignal u_K zugeführt, das bezüglich der Frequenz und der Amplitude möglichst genau dem Störsignal u_S

entsprechen soll. Außerdem ist es zur möglichst vollständigen Unterdrückung des Störsignals erforderlich, daß zwischen dem Kompensationssignal u_K und dem Störsignal u_S eine Phasendifferenz von 180° besteht.

In einer Schaltung 4 wird ein Signal gewonnen, das mit der Frequenz des Störsignals u_S übereinstimmt und gegenüber dem Störsignal u_S um $\pi/2$ phasengedreht ist. Einzelheiten dieser Schaltung werden später im Zusammenhang mit den Fig. 5 bis 9 näher erläutert. Da ein wesentliches Element der Schaltung eine Frequenz- und Phasenregelschaltung ist, ist die Schaltung in Fig. 1 mit der Abkürzung PLL versehen.

Das Ausgangssignal der Schaltung 4 wird in einem Phasendrehglied 5 um weitere $\pi/2$ gedreht, so daß ein Signal u_{K0} entsteht, dessen Frequenz gleich dem Störsignal u_S ist und das gegenüber dem Störsignal u_S eine Phasendrehung von π bzw. 180° aufweist. In einem Zweiquadranten-Multiplizierer 6 wird das Signal u_{K0} mit einem Signal u_m multipliziert, wodurch ein auch bezüglich der Amplitude dem Störsignal gleichendes Kompensationssignal u_K gewonnen wird. Das Signal u_m wird mit Hilfe eines Multiplizierers 7 und eines Tiefpaßfilters 8 aus dem ZF-Signal und dem Signal u_{K0} gewonnen.

Um eine hohe Dämpfung des Störsignals zu erzielen, sind eine genaue Phasenlage des Signals u_{K0} sowie eine genaue Steuerung der Amplitude des Signals u_K erforderlich. Schaltungen mit einer derart hohen Genauigkeit bzw. Stabilität lassen sich zwar mit entsprechend großem Aufwand realisieren — insbesondere mit digitaler Signalverarbeitung. Eine Schaltungsanordnung, bei welcher sich durch eine Regelung eine genaue Amplitude des Kompensationssignals u_K einstellt, ist jedoch in Fig. 2 dargestellt. Bei dieser Schaltungsanordnung wird das Ausgangssignal des Addierers 2 dem Multiplizierer 7 zugeführt, dessen Ausgang über einen Integralregler mit dem Zweiquadranten-Multiplizierer 6 verbunden ist. Durch die Verwendung eines Integralreglers wird sichergestellt, daß keine statische Regelabweichung verbleibt.

Entscheidenden Einfluß auf die Wirkung der Kompensation hat die Phase des Kompensationssignals u_K . Bei den im folgenden anhand der Fig. 3 und 4 beschriebenen Ausführungsbeispielen wird daher außer der Amplitude auch die Phase des Kompensationssignals u_K geregelt. Bei dem Ausführungsbeispiel nach Fig. 3 erfolgt die Regelung der Amplitude des Kompensationssignals u_K in gleicher Weise wie bei dem Ausführungsbeispiel nach Fig. 2. Es ist lediglich ein Tiefpaßfilter zwischen den Multiplizierer 7 und den Integralregler 9 geschaltet. Zur Regelung der Phase des Signals u_K wird dieses in einem Phasendrehglied 11 um $\pi/2$ verzögert und über einen Begrenzer 12 einem weiteren Multiplizierer 13 zugeführt, der außerdem das Signal u_{K0} erhält.

Der Ausgang des weiteren Multiplizierers 13 ist über ein Tiefpaßfilter 14 und einen Integralregler 15 mit dem Steuereingang eines Phasenschiebers 16 verbunden, der die Phase des Signals u_{K0} verändert, bevor dieses dem Zweiquadranten-Multiplizierer 6 zugeführt wird. Der Regelkreis für die Phase des Kompensationssignals stellt als solcher zwar eine Regelung dar, diese ist jedoch nur für etwaige Toleranzen der Baugruppen 6 und 16 wirksam. Darüberhinaus wird jedoch eine Steuerung der Phasenlage des Signals u_K dadurch vorgenommen, daß der Begrenzerverstärker 12 eine pegelabhängige Phasenverschiebung aufweist, die derjenigen eines gleichartigen Begrenzerverstärkers in der Schaltung 4 entspricht. Dadurch wird die pegelabhängige Phasen-

verschiebung des Signals u_{k0} kompensiert.

Bei dem Ausführungsbeispiel nach Fig. 4 wird das Ausgangssignal der Schaltung 4 einerseits direkt und andererseits um $\pi/2$ phasengedreht je einem Multiplizierer 21, 22 zugeführt und dort mit dem Ausgangssignal jeweils eines Integralreglers 26, 27 multipliziert. Die Integralregler erhalten Eingangssignale von je einem Multiplizierer 24, 25, der die zueinander um 90° phasenverschobenen Signale mit dem kompensierten Zwischenfrequenzsignal $u_s' + u_N$ multipliziert. Die Ausgangssignale der Multiplizierer 21', 22 werden bei 23 addiert und als Kompensationssignal u_K dem Addierer 2 zugeführt.

Durch die Phasendrehung 25 und die Multiplikation mit Hilfe der Multiplizierer 21, 22 entstehen zwei Komponenten des Kompensationssignals, die unabhängig voneinander derart geregelt werden, daß ihre Summe die zur Unterdrückung des Störsignals erforderliche Amplitude und Phasenlage aufweist.

Bei dem Ausführungsbeispiel nach Fig. 5 wird ein steuerbarer Oszillator 33 auf die Frequenz f_s des Störsignals mit Hilfe einer PLL-Schaltung geregelt. Dazu wird das ZF-Signal $u_N + u_s$ über einen Eingang 34 und einen Begrenzer 35 einem Multiplizierer 36 zugeführt, mit dem das begrenzte ZF-Signal mit dem Ausgangssignal des Oszillators 33 multipliziert wird. Aus dem Produkt werden zunächst mit Hilfe eines Tiefpaßfilters, das gleichzeitig als Schleifenfilter dient, die unerwünschten Spiegelfrequenzen entfernt, so daß lediglich die Differenzfrequenzen verbleiben. Die Regelschleife wird durch einen Integrator 38 mit einem Proportionalanteil geschlossen.

Da das Störsignal irgendwo innerhalb des ZF-Bandes liegen kann und die PLL-Schaltung als solche aufgrund ihrer kleinen Bandbreite nicht in der Lage ist, auf die Frequenz des Störsignals einzurasten, ist auch hier ein Suchlauf erforderlich.

Im Suchlauf ist der Schalter 39 geschlossen, so daß die Regelschleife zwar geschlossen ist, der Oszillator 33 aber durch ein dem Regelsignal überlagertes Dreieckssignal über das gesamte ZF-Band geführt wird. Das Dreieckssignal entsteht durch das Zusammenwirken einer Schwellwertschaltung 40 mit dem Integrator 38 und einem Addierer 41.

Es findet also eine Überlagerung aus der Regelung der PLL-Schaltung durch den Phasendiskriminator und aus einer Führung der PLL-Schaltung über die Rückkopplung des Schleifenfilters 38 statt. Durch die Verwendung eines Filters, dessen Übertragungsfunktion eine Polstelle bei $f = 0$ besitzt, stellt sich bei eingerasteter PLL-Schaltung und ohne Berücksichtigung des ebenfalls am Eingang der PLL-Schaltung anliegenden Nutzsignals immer eine Phasenverschiebung von $\pi/2$ zwischen dem Störsignal und dem Ausgangssignal des Oszillators ein.

Während des Suchlaufs überwacht eine Schaltung zur Einrasterkennung, ob der Oszillator 33 sich in der Nähe des potentiellen Störsignals befindet. Dazu wird das begrenzte ZF-Signal mit dem um $\pi/2$ phasenverschobenen Ausgangssignal bei 42 multipliziert und bei 43 tiefpaßgefiltert. Mit Hilfe einer Schwellwertschaltung wird aus dem Ausgangssignal des Tiefpaßfilters ein Steuersignal für den Schalter 39 abgeleitet. Bei Überschreiten eines Schwellwertes wird der Schalter 39 geöffnet, so daß nur noch der Phasendiskriminator 36 die PLL-Schaltung auf das Störsignal regelt. Fällt das Ausgangssignal des Tiefpaßfilters 43 wieder unter den Schwellwert, wird das Ausgangssignal der Schwellwertschaltung 40 wieder

hinzugefügt und der Suchvorgang erneut eingeleitet.

Im Phasenregelkreis (PLL) wird ein PI-Regler benutzt, denn nur ein derartiger Regler ist in der Lage, bei fehlendem Regelsignal die Frequenz des Oszillators 33 für kurze Zeit zu speichern. Ferner bewirkt dieser Regler eine von der Frequenz des Störsignals unabhängige konstante Phasenverschiebung um $\pi/2$ zwischen dem Störsignal und dem Ausgangssignal des Oszillators 33. Diese konstante Phasenverschiebung ist Voraussetzung für eine einwandfreie Funktion der Einrasterkennung mit Hilfe der Baugruppen 42 bis 44. Das Ausgangssignal des Oszillators 43 kann an einem Ausgang 46 entnommen werden und beispielsweise dem Phasendrehglied 5 (Fig. 1) zugeführt werden.

Bei den in Fig. 5 dargestellten Ausführungsbeispiel ist bei einer Neuabstimmung des Radiolokalszillators ein erneuter Suchvorgang nach der Frequenz des Störers erforderlich. Bei stark schwankenden Pegeln des Nutzsignals kann die Regelung der Störfrequenz ausrasten, so daß ebenfalls der aufwendige Suchvorgang erneut gestartet wird. Bei den im folgenden im Zusammenhang mit den Fig. 6 und 7 beschriebenen Ausführungsbeispielen wird die Tatsache ausgenutzt, daß die Störfrequenzen eines Kraftfahrzeugs sich im wesentlichen über die Zeit nicht ändern, abgesehen von dem gelegentlichen Ein- bzw. Ausschalten einzelner Aggregate. Dadurch ist es möglich, die Frequenzen sicher erkannter Störsignale in einer Störfrequenztabelle zum späteren Gebrauch abzulegen. Nach einer Neuabstimmung des Radios kann aufgrund der Kenntnis von in der Vergangenheit bereits sicher erkannten Störsignalen und deren absoluter Lage im UKW-Frequenzband die Frequenzregelung sofort auf ein potentiell Störsignal eingestellt werden.

Ferner kann bei stark bzw. schnell schwankenden Nutzsignalpegeln während derjenigen Zeiten, in der ein Halten der Störfrequenz aufgrund des im Vergleich zum Störsignal zu hohen Nutzsignalpegels nicht mehr möglich ist, die Frequenzregelung so nahe an der Störfrequenz gehalten werden, daß ein sofortiges Einrasten der Regelung bei wieder fallenden Nutzsignalpegeln möglich ist. Außerdem kann die Schaltung zur Störsignalunterdrückung aus dem ZF-Signalweg herausgenommen werden, wenn kein Störsignal empfangen wird. Dieses wird im folgenden "intelligente Störfrequenzregelung" genannt.

Bei den Ausführungsbeispielen nach den Fig. 6 und 7 wird von der Regelung mit einer PLL-Schaltung nach Fig. 5 ausgegangen, die um ein Schaltwerk ergänzt ist. Kern des Schaltwerks ist ein Mikroprozessor 51, der über einen I²L-Busanschluß 52 den Zustand des Autoradios auswerten kann — das heißt, unter anderem AM- oder FM-Betrieb sowie die eingestellte Lokalszillatorfrequenz. Das ZF-Signal wird über einen Eingang 53 zugeführt. Ein Amplitudendemodulator 54 und eine Schwellwertschaltung 55 dienen dazu, dem Mikroprozessor 51 Informationen über den Pegel des ZF-Signals zuzuführen. Derartige Informationen stehen an einem separaten Ausgang bei gebräuchlichen integrierten FM-Demodulatoren auch bereits zur Verfügung.

Mit der ZF-Pegelinformation ist es möglich, den notwendigen Arbeitsbereich der gesamten Schaltung einzuschränken, denn anhand von einmal gemessenen maximalen Störpegeln kann ein Nutzsignalpegel festgelegt werden, ab dem eine Störunterdrückung mit hoher Wahrscheinlichkeit nicht mehr nötig bzw. sogar unsinnig ist, da sie eventuell zu falschen Ergebnissen und damit zu zusätzlichen Störungen führt.

Den Zustand der Stärkefrequenzregelung kann das

Schaltwerk über eine Einrastererkennungsschaltung abfragen, welche aus dem Phasendrehglied 56 einem Multiplizierer 57, einem Tiefpaßfilter 58 und einer Schwellwertschaltung 59 besteht. Wie bei den zuvor erläuterten Schaltungen wird das ZF-Signal über einen Frequenzer 60 geleitet. Die PLL-Schaltung besteht aus einem steuerbaren Oszillator 61, einem Multiplizierer 62, zwei Schleifenfiltern 63, 64, von denen mit Hilfe eines Umschalters 65 eines wahlweise in den Regelkreis eingeschaltet werden kann, und einem Integrator 66. Der Umschalter 65 wird vom Mikroprozessor 51 gesteuert, so daß zwei Regelkreisbandbreiten eingeschaltet werden können. Zum Einschwingen wird sinnvollerweise eine große Regelkreisbandbreite gewählt, anschließend kann auf eine kleinere Bandbreite umgeschaltet werden, um den Kreis unempfindlicher gegenüber Nutzsignaleinflüssen zu machen. Am Ausgang 67 des steuerbaren Oszillators 61 ist ein Signal mit der Störfrequenz f_s abnehmbar.

Bei beiden Ausführungsbeispielen besteht die Möglichkeit, den Oszillator 61 durch den Mikroprozessor 51 auf eine bestimmte Frequenz zu setzen. Bei dem Ausführungsbeispiel nach Fig. 6 erfolgt dieses mit Hilfe eines Digital/Analog-Wandlers 68, dem vom Mikroprozessor die Frequenz festlegende digitale Signale zugeführt werden. Die Regelschleife wird dadurch unterbrochen, daß der Umschalter 65 in die untere Stellung gebracht wird. Unmittelbar nach dem Anlegen des entsprechenden Datenwortes an den Digital/Analog-Wandler stellt sich die gewünschte Frequenz des Oszillators 60 ein. Im Suchlauf werden die Datenwörter laufend inkrementiert.

Ist eine Störung erkannt, wird der Integrator freigegeben und übernimmt die Feinregelung, während der Digital/Analog-Wandler seinen Ausgangswert beibehält. Rastet die Regelschleife aus, so ist lediglich der Eingang des PI-Reglers 66 wieder auf 0 zurückzusetzen und der Oszillator 61 schwingt nach einer kurzen Zeit auf der durch den Digital/Analog-Wandler 68 vorgegebenen Frequenz. Dadurch bleibt die Frequenz in unmittelbarer Nähe der Störfrequenz. Hierbei handelt es sich jedoch um eine Steuerung, so daß auftretende Frequenzdriften des Oszillators 61 in Abhängigkeit von Zeit und Temperatur nicht bzw. nur mit großem Aufwand ausgeglichen werden können.

Diese Nachteile werden bei dem Ausführungsbeispiel nach Fig. 7 dadurch vermieden, daß anstelle eines Digital/Analog-Wandlers ein Synthesizer verwendet wird, der mit einem stabilen Referenzoszillator 70 aufgebaut ist. Bei diesem Ausführungsbeispiel steigen jedoch mit größerer Frequenzauflösung die Einschwingzeiten relativ stark an. Der Synthesizer besteht aus einem ersten Frequenzteiler 69, dessen Teilverhältnis m vom Mikroprozessor steuerbar ist. Die Frequenz des Referenzoszillators 70 wird mit Hilfe eines weiteren Frequenzteilers 71 durch n geteilt. Die Ausgangssignale beider Frequenzteiler 69, 71 werden einem Multiplizierer 72 zugeführt, dessen Ausgang über ein Tiefpaßfilter 73 mit dem unteren Eingang des Umschalters 65 verbunden ist.

Im Suchlauf sind der Oszillator 61 und das Tiefpaßfilter 73 in den Synthesizer eingebunden, so daß durch Variieren des Teilverhältnisses in die Frequenz des Oszillators 61 laufend geändert bzw. voreingestellt wird. Bei erkanntem Störsignal erhält der PI-Regler 66 das Regelsignal nicht mehr aus der Synthesizerschleife, sondern von dem als Phasendiskriminator wirkenden Multiplizierer 62. Die eingestellte Frequenzinformation wird beim Umschalten voll übernommen, da der PI-

Regler 66 in diesem Fall als Frequenzspeicher wirkt. Rastet die Regelschleife aus, wird der Eingang des PI-Reglers wieder über den Umschalter 65 mit der Synthesizerschleife verbunden, um den Oszillator 61 wieder auf die vorgegebene Frequenz zu steuern.

Die jeweils vorhandene Frequenz des Oszillators 61 kann über einen digitalen Frequenzmesser 74, der den jeweiligen Wert der Frequenz in ein digitales Signal umwandelt, dem Mikroprozessor 51 zugeführt werden. In dem Mikroprozessor 51 ist eine Frequenztabelle 75 abgelegt, die zuvor ermittelte Störfrequenzen in Abhängigkeit von der jeweiligen Empfangsfrequenz enthält. Über den Busanschluß 52 erhält der Mikroprozessor 51 Informationen über die jeweils eingestellte Empfangsfrequenz bzw. die Frequenz des Lokaloszillators, worauf der Mikroprozessor 51 aus der Frequenztabelle 75 die dort zu erwartende Frequenz des Störsignals ausliest und diese über den Digital/Analog-Wandler 68 (Fig. 6) bzw. über den steuerbaren Frequenzteiler 69 zum Setzen des Oszillators 61 ausgibt.

Fig. 8 stellt zwei Zeitdiagramme dar, wobei das Diagramm a einen angenommenen Verlauf des Nutzsignals $u_n(t)$ gegenüber dem zeitkonstanten Störsignal $u_s(t)$ darstellt. Das Diagramm b zeigt den zeitlichen Verlauf der Frequenz f_{vco} des Oszillators 61. Zwischen dem Zeitpunkt t_0 und t_1 befindet sich die Regelung im Suchlauf. Bei der Frequenz $f_{vco,dig}$ erkennt die Einrastererkennung das Störsignal mit der Frequenz f_s und schaltet in die analoge Frequenzregelung mit großer Regelbandbreite um.

Nach Ablauf einer Zeit t_0 ist die Regelung weitgehend eingeschwungen und es wird die Regelkreisbandbreite über den Schalter 65 auf einen kleineren Wert umgeschaltet. Zum Zeitpunkt t_2 ist der Nutzsignalpegel so groß geworden, daß die Einrastererkennung das Störsignal nicht mehr erkennen kann und der Mikroprozessor die Regelung in einen Zustand "digitales Halten" umschaltet. Die Frequenz des Oszillators 61 wird auf den gespeicherten Wert $f_{vco,dig}$ gezogen. Zum Zeitpunkt t_3 kann die Einrastererkennung das Störsignal wieder innerhalb des Nutzsignalspektrums erkennen, so daß das Schaltwerk wieder in den Zustand der analogen Frequenzregelung übergeht.

Die jeweils vorhandene Frequenz f_s des Störsignals ist bei beiden Ausführungsbeispielen (Fig. 6 und 7) entweder aus dem Datenwort des Digital/Analog-Wandlers, dem Teilerwert des Synthesizers oder aus dem Ausgangswert der Frequenzmeßeinrichtung 74 abzulesen. Um dafür zu sorgen, daß sich die Oszillatorfrequenz während des Empfangs eines hohen Nutzsignalspegels nicht weiter als der Fangbereich von der Frequenz des Störsignals entfernt, genügt an sich eine niedrige Auflösung bei der Messung der Frequenz des Störsignals. Da jedoch auch der Einschwingvorgang der Regelung bei bereits im Signalweg liegender Störunterdrückung störend ist, ist es vorteilhaft, dabei eine möglichst feine Frequenzauflösung vorzusehen.

Für beide Ausführungsbeispiele der intelligenten Störfrequenzregelung gilt das in Fig. 9 dargestellte vereinfachte Zustandsdiagramm. Wird das Radio auf einen neuen UKW-Sender abgestimmt (Sendersuchlauf 81), so wird bei 82 zunächst geprüft, ob innerhalb der ZF-Bandbreite um den neu abgestimmten Sender herum bereits früher Störsignale erkannt wurden und in die Tabelle eingetragen sind. Ist dieses nicht der Fall, wird bei 83 ein Suchlauf der PLL-Schaltung gestartet.

Befinden sich jedoch ein oder mehrere entsprechende Störsignale in der Tabelle, ist anhand der eingestellten

Lokaloszillatorfrequenz des Radios und der gespeicherten Frequenz des Störsignals deren vermutliche Lage im ZF-Spektrum zu berechnen, worauf der Oszillator 61 bei 84 nacheinander auf die berechneten Frequenzen abgestimmt wird. Daraufhin wird bei 85 geprüft, ob der ZF-Pegel zu groß ist. Falls dieses der Fall ist, beharrt das Schaltwerk in dem Zustand 85, bis der ZF-Pegel kleiner geworden ist. Danach wird bei 86 gefragt, ob die Regelschleife eingerastet bzw. ein Störsignal innerhalb der festgelegten Zeit gefunden worden ist. Ist dieses nicht der Fall, wird bei 87 gefragt, ob weitere Tabelleneinträge existieren. Ist dieses der Fall, werden die Schritte 84, 85 und 86 wiederholt.

Existieren keine weiteren Tabelleneinträge, wird bei 83 ein analoger PLL-Suchlauf gestartet, bei dem laufend gefragt wird (88), ob ein Störsignal gefunden wurde. Erst wenn dieses der Fall ist, wird die Frequenz des Störsignals bei 89 in die Tabelle eingetragen.

Sowohl nach dem Schritt 89 als auch nach dem Schritt 86 beginnt ein analoges Halten der Oszillatorfrequenz des Störsignals bei 90, worauf bei 91 geprüft wird, ob der ZF-Pegel nicht zu groß ist. Solange dieses zutrifft, wird das Halten der Frequenz fortgesetzt. Trifft dieses jedoch nicht mehr zu, wird bei 92 die Frequenz digital gehalten (t_2 bis t_3 in Fig. 8b). Bei 93 wird geprüft, ob das digitale Halten bereits länger als eine vorgegebene Zeit T_{\max} dauert und der ZF-Pegel im zulässigen Bereich ist. Ist diese Bedingung nicht erfüllt, wird bei 91 nochmals gefragt, ob der ZF-Pegel nicht zu groß ist und ob der Regelkreis eingerastet ist. Ist jedoch die Bedingung erfüllt, wird bei 83 ein neuer analoger Suchlauf gestartet.

Mit der intelligenten Störfrequenzregelung kann auch verhindert werden, daß die Regelung fälschlicherweise beispielsweise auf einen momentan unmodulierten Träger oder dessen Stereohilfsträger einrastet. Da beim Suchlauf die aktuelle Frequenz des Oszillators der intelligenten Störfrequenzregelung immer bekannt ist, kann diese beispielsweise bestimmte Frequenzbereiche dadurch ausblenden, daß der Suchlauf der Störfrequenzregelung bei bestimmten Frequenzen nicht angehalten wird oder diese Bereiche übersprungen werden.

Patentansprüche

1. Schaltungsanordnung zur Unterdrückung schmalbandiger Störsignale beim Empfang von frequenzmodulierten Signalen, insbesondere in einem Autoradio, **dadurch gekennzeichnet**, daß ein Kompensationssignal mit der Frequenz des jeweils im Zwischenfrequenzsignal enthaltenen Störsignals erzeugt wird, welches mit einer derartigen Amplitude und Phasenlage zum Zwischenfrequenzsignal addiert wird, daß das im Zwischenfrequenzsignal enthaltene Störsignal unterdrückt wird.
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß das Störsignal mit im wesentlichen konstanter Amplitude von einem steuerbaren Oszillator (33), der Teil einer Phasenregelschleife (4) ist, erzeugt wird.
3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß das vom Oszillator erzeugte Signal über ein steuerbares Übertragungsglied (6) einem Addierer (2) für das Zwischenfrequenzsignal zuführbar ist und daß das steuerbare Übertragungsglied (6) in Abhängigkeit vom Ausgangssignal des Addierers (2) gesteuert wird.
4. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß das Ausgangssignal des steuerbaren Oszillators (33) und das Ausgangssignal des Addierers (2) einem Multiplizierer (7) zuführbar sind, dessen Ausgang über einen Integralregler (8) mit einem Steuereingang des steuerbaren Übertragungsgliedes (6) verbunden ist.

5. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß ferner ein Regelkreis (11 bis 16) für die Phasenlage des Kompensationssignals vorgesehen ist.

6. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß das Kompensationssignal aus zwei Komponenten gebildet wird, die vorzugsweise eine Phasendifferenz $\pi/2$ aufweisen, und daß über die Amplituden der Komponenten die Phase und die Amplitude des Kompensationssignals geregelt werden.

7. Schaltungsanordnung nach Anspruch 6, dadurch gekennzeichnet, daß von einem steuerbaren Oszillator (33) mit einem Phasenregelkreis ein Signal mit der Frequenz des Störsignals im Zwischenfrequenzsignal erzeugt wird, daß das Ausgangssignal des steuerbaren Oszillators (33) über ein Phasendrehglied (5) einem ersten Multiplizierer (21) und direkt einem zweiten Multiplizierer (22) zuführbar ist, deren Ausgänge über einen Addierer (23) mit dem Addierer (2) für das Zwischenfrequenzsignal verbunden sind und daß das Ausgangssignal des Addierers (2) für das Zwischenfrequenzsignal über je einen Eingang je eines weiteren Multiplizierers (24, 25) und über je einen Integralregler (26, 27) dem ersten und dem zweiten Multiplizierer (21, 22) zuführbar sind, wobei das bezüglich der Phase gedrehte und das bezüglich der Phase nicht gedrehte Ausgangssignal des steuerbaren Oszillators (33) weiteren Eingängen der weiteren Multiplizierer (24, 25) zuführbar sind.

8. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß zur Erzeugung des Kompensationssignals ein steuerbarer Oszillator (33) vorgesehen ist, der Teil einer Frequenz und Phasenregelschleife (36, 37, 38) ist, welcher ein begrenztes Zwischenfrequenzsignal zuführbar ist und welche den steuerbaren Oszillator (33) auf die Frequenz f_s des Störsignals regelt.

9. Schaltungsanordnung nach Anspruch 8, dadurch gekennzeichnet, daß die Frequenzregelschleife einen Regler (8) mit mindestens einem Integralanteil enthält und daß eine schaltbare Gegenkopplung über eine Schwellwertschaltung (40) vorgesehen ist, die in Abhängigkeit vom Ausgangssignal einer Einrastererkennungsschaltung (42 bis 45) wirksam oder unwirksam ist.

10. Schaltungsanordnung nach Anspruch 9, dadurch gekennzeichnet, daß die Einrastererkennungsschaltung einen Multiplizierer (42) enthält, welcher einerseits das begrenzte Zwischenfrequenzsignal und andererseits das um eine viertel Periode gedrehte Ausgangssignal des steuerbaren Oszillators (33) zuführbar ist, und daß das Ausgangssignal des Multiplizierers (42) über ein Tiefpaßfilter (43) und eine Schwellwertschaltung (44) der Frequenzregelschleife zuführbar ist.

11. Schaltungsanordnung nach Anspruch 9, dadurch gekennzeichnet, daß zur Erzeugung der Umsetzfrequenz aus der Frequenz des steuerbaren Oszillators (33) ein Synthesizer (102 bis 115) vorgesehen ist, der auf einer quarzstabilen Referenzfrequenz durch in Abhängigkeit von der Frequenz des

Oszillators (33) steuerbare Frequenzteilung die Umsetzfrequenz ($f_s + f_0$) erzeugt.

12. Schaltungsanordnung nach Anspruch 8, dadurch gekennzeichnet, daß der steuerbare Oszillator (61) von einem Mikroprozessor (51) auf jeweils eine von mehreren in einer Frequenztafel (75) abgelegte Frequenzen setzbar ist, daß der Mikroprozessor (51) eine Umschaltung zwischen Suchlauf und Regelbetrieb vornimmt und daß dem Mikroprozessor (51) das Ausgangssignal einer Einrasterkennung (56 bis 59) zuführbar ist.

13. Schaltungsanordnung nach Anspruch 12, dadurch gekennzeichnet, daß in der Frequenztafel (75) die zuvor ermittelten Frequenzen von Störsignalen abgelegt sind und daß in Abhängigkeit von der Abstimmung des Radios jeweils eine oder mehrere in den jeweiligen Empfangsbereich fallende Frequenzen von Störsignalen aus der Tabelle (75) auslesbar sind.

14. Schaltungsanordnung nach Anspruch 12, dadurch gekennzeichnet, daß der steuerbare Oszillator (61) vom Mikroprozessor (51) mittels eines Digital/Analog-Wandlers (68) auf die jeweilige Frequenz setzbar ist, wobei der Ausgang des Digital/Analog-Wandlers (68) mit einer Regelschleife (62 bis 66) des steuerbaren Oszillators (61) verbunden ist.

15. Schaltungsanordnung nach Anspruch 12, dadurch gekennzeichnet, daß der steuerbare Oszillator (61) vom Mikroprozessor (51) mittels eines Synthesizers (69 bis 73) auf die jeweilige Frequenz setzbar ist, wobei der Ausgang des Synthesizers anstelle eines Schleifenfilters (63, 64) mit dem Eingang des Reglers (66) verbindbar ist.

16. Schaltungsanordnung nach Anspruch 12, dadurch gekennzeichnet, daß der Pegel des Zwischenfrequenzsignals dem Mikroprozessor (51) zuführbar ist.

Hierzu 6 Seite(n) Zeichnungen

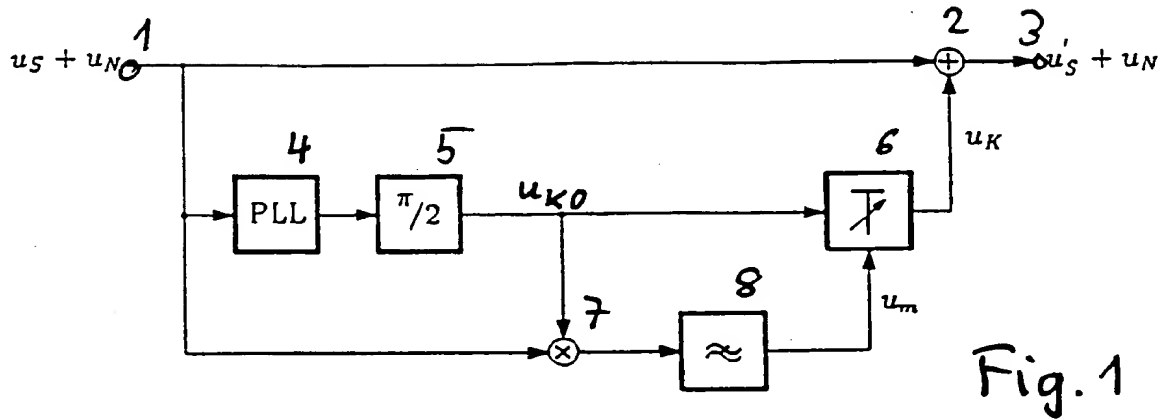


Fig. 1

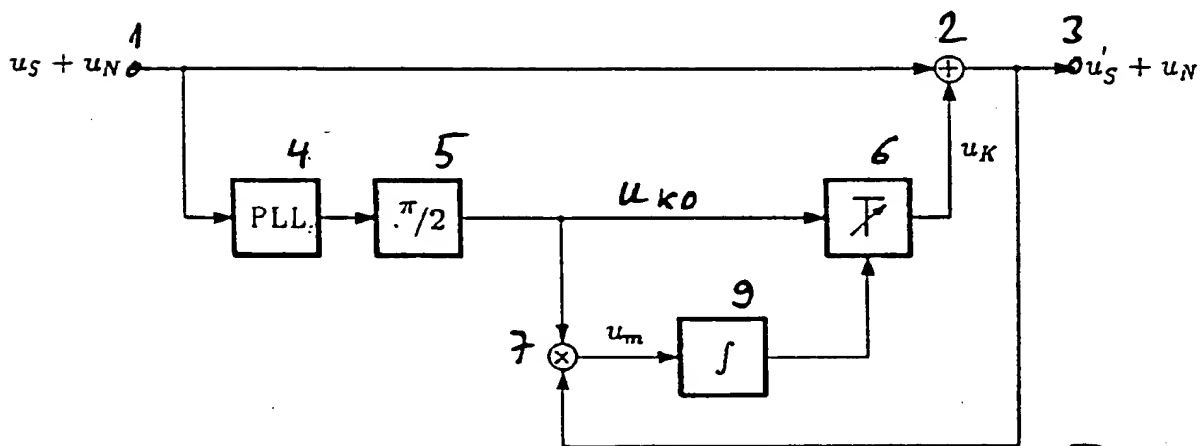


Fig. 2

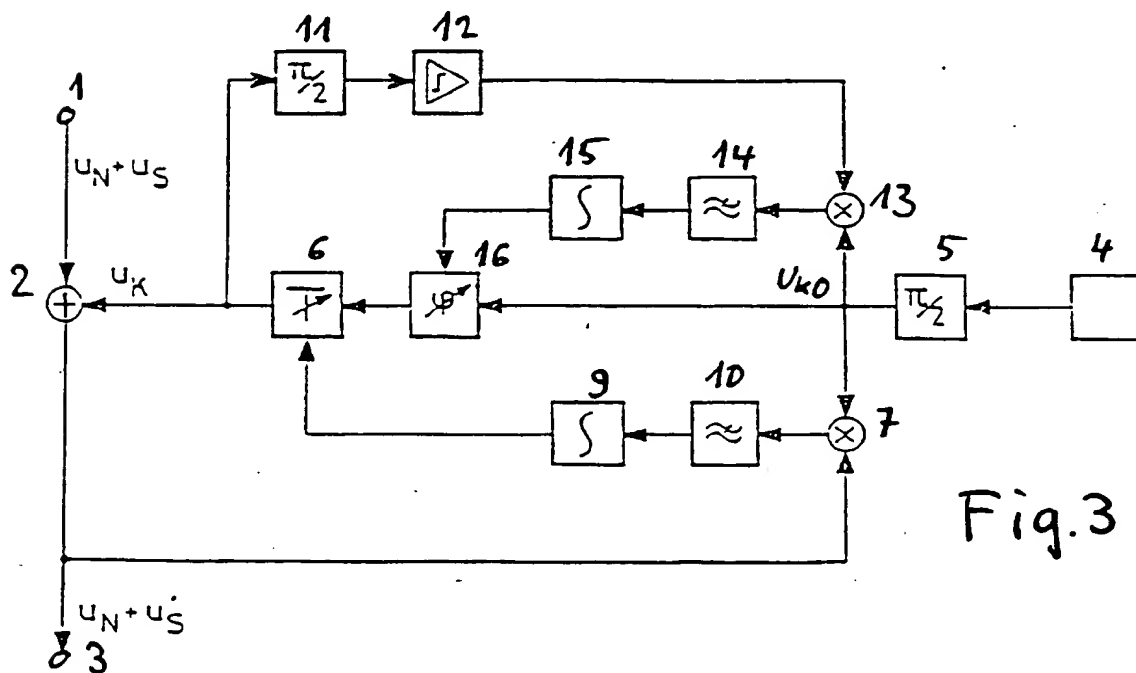
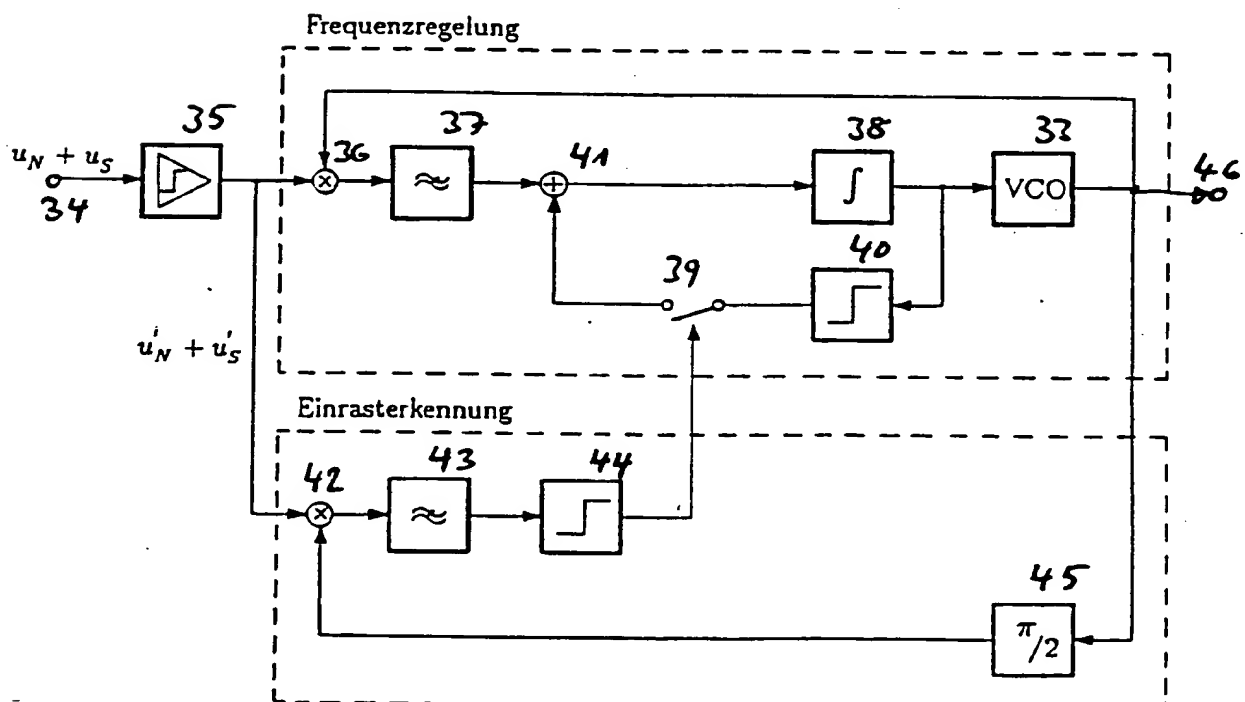
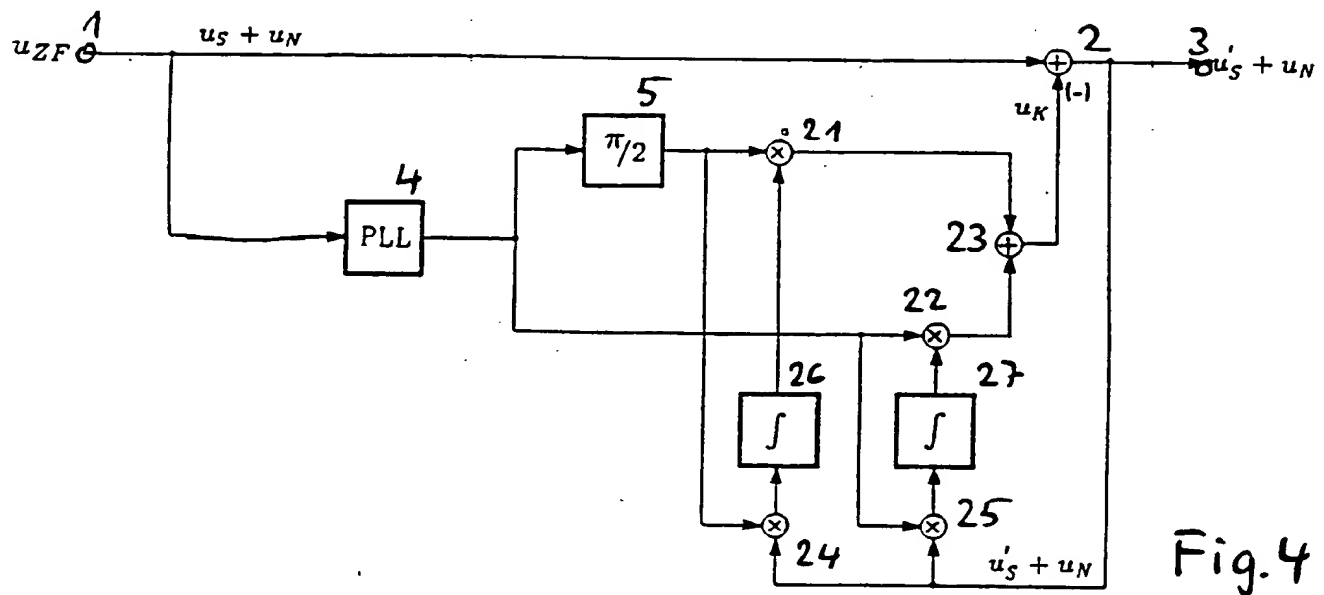


Fig. 3



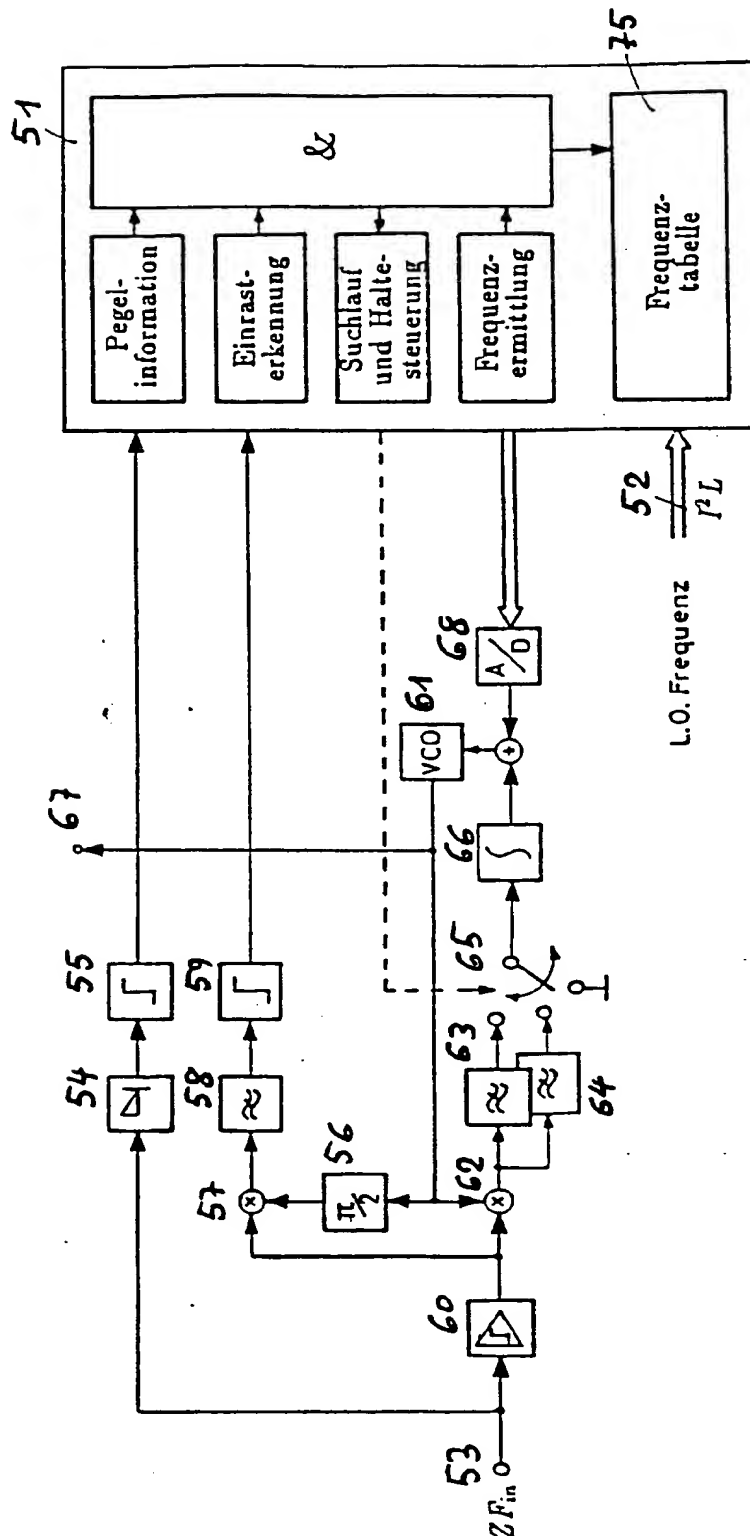


Fig. 6

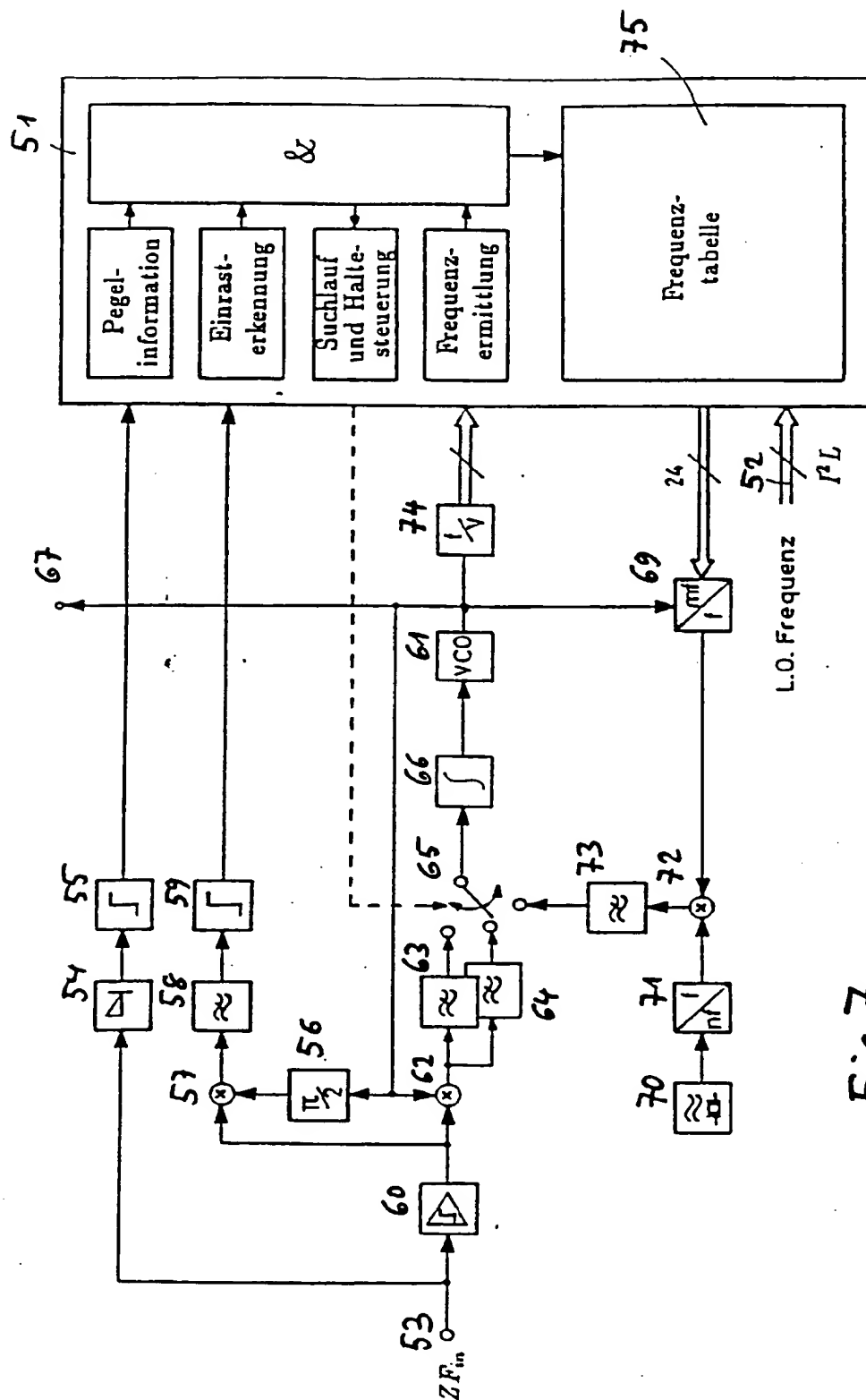


Fig. 7

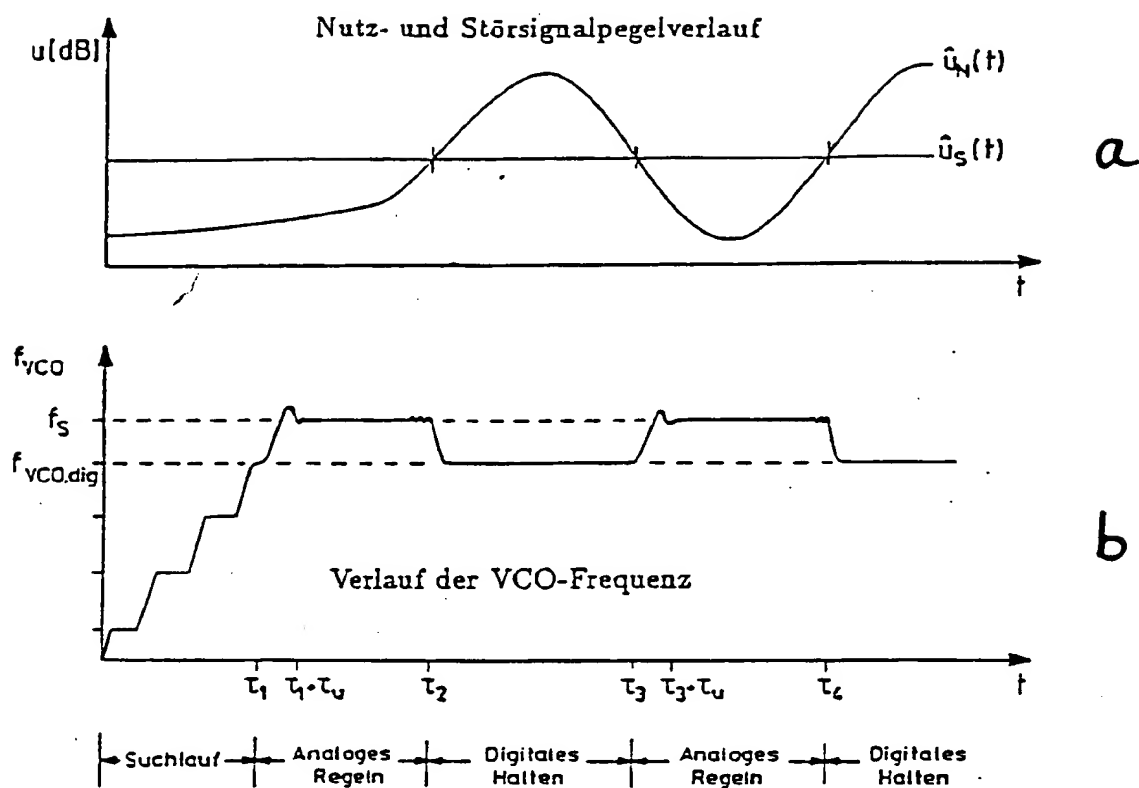


Fig. 8

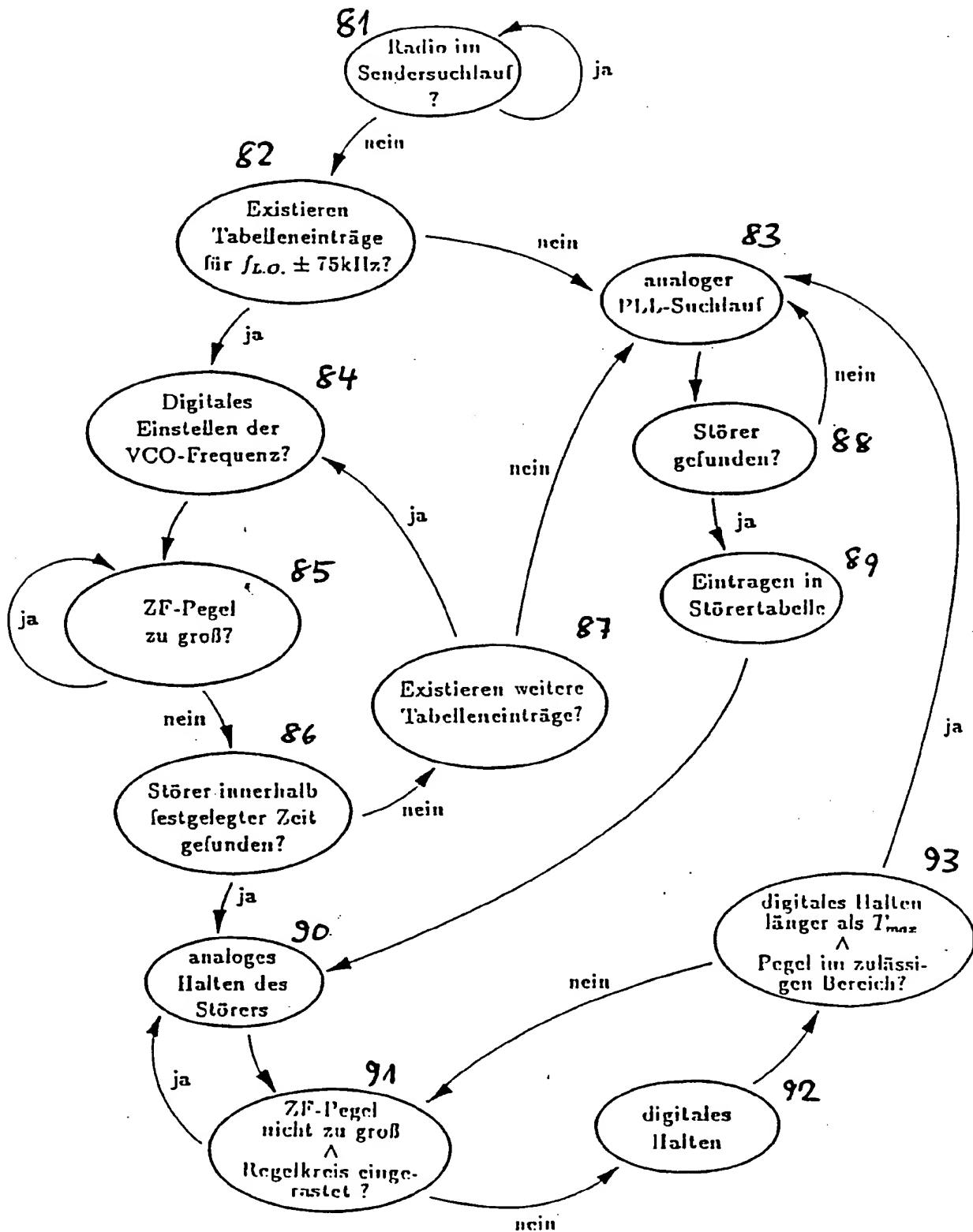


Fig. 9

Narrow-band interference suppression circuit esp. for car radio - employs PLL and shifter to generate compensation signal at frequency of interference component but with opposite phase.

Patent Number: DE4220296
Publication date: 1993-12-23
Inventor(s): FORM THOMAS (DE)
Applicant(s): BLAUPUNKT WERKE GMBH (DE)
Requested Patent: ☐ DE4220296
Application Number: DE19924220296 19920620
Priority Number(s): DE19924220296 19920620
IPC Classification: H04B1/12; H04B15/02
EC Classification: H04B1/12A
Equivalents:

Abstract

The IF signal (uN) degraded by interference (uS) is added (2) to a compensation signal (uK) generated in a two-quadrant multiplier (6) of an antiphase equiv. of the interference component (uKO) and the result (um) of multiplying (7) the latter by the degraded input (1), with low-pass filtering (8).

The antiphase signal is produced from the input by a phase-locked loop (4) whose output is shifted (5) by a further 90 deg. The amplitude and phase of the compensation signal may be regulated by additional loops incorporating integrators.

ADVANTAGE - More effective suppression of interference from clocked electronic equipment harmonics possible without detriment to reception of useful signal.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)